

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-311947

(43)Date of publication of application : 07.11.2000

(51)Int.Cl. H01L 21/82
H01L 27/108
H01L 21/8242

(21)Application number : 11-120408

(71)Applicant : NEC CORP

(22)Date of filing : 27.04.1999

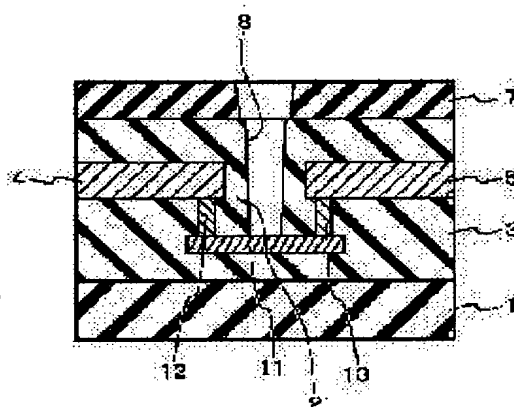
(72)Inventor : SASAKI MAKOTO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a method for manufacturing it, wherein a well-known idea is realized by using Cu instead of Al.

SOLUTION: Multilayer interconnection parts 4 and 5 and a fuse part 11 inserted between them are provided, with the fuse part 11 comprising a copper which becomes higher in resistance through oxidation. The copper is oxidized at a low temperature, which does not change the material property of other layers. The multilayer interconnection parts 4 and 5 comprise a copper. Furthermore, a low dielectric constant layer 3 is provided which joints the fuse part 11. The solid state properties of a low dielectric constant layer do not change at oxidation of copper. The copper oxidation advances quickly into a deep layer, allowing oxidation at a lower temperature than fusing, causing no breakage of the low dielectric constant layer.



LEGAL STATUS

[Date of request for examination] 24.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3264327

[Date of registration] 28.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-311947
(P2000-311947A)

(43) 公開日 平成12年11月7日 (2000.11.7)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 21/82		H 0 1 L 21/82	F 5 F 0 6 4
27/108		27/10	6 9 1 5 F 0 8 3
21/8242			

審査請求 有 請求項の数 7 O L (全 5 頁)

(21) 出願番号 特願平11-120408

(22) 出願日 平成11年4月27日 (1999. 4. 27)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 佐々木 誠

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100102864

弁理士 工藤 実 (外1名)

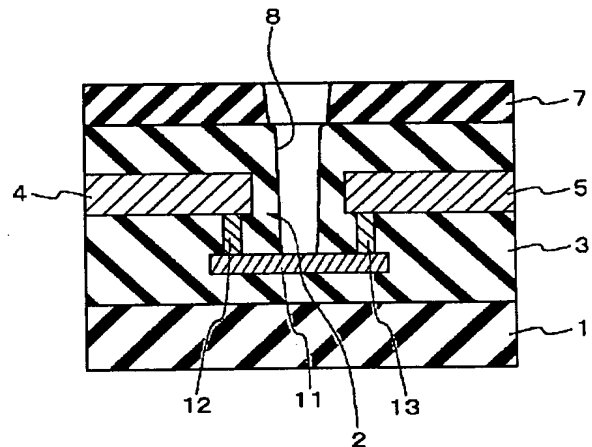
Fターム(参考) 5F064 EE22 EE32 EE42 EE43 FF02
FF27 FF32 FF42
5F083 GA28 GA29 JA37 ZA10

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 ヒューズのためにAlに代えてCuを用いる。

【解決手段】 多層配線部分4、5と、多層配線部分4、5の間に介設されるヒューズ部分11とからなり、ヒューズ部分11は酸化を受けて高抵抗化する銅が用いられている。銅は低温で酸化して、銅の酸化は他の層の物性を変化させない。多層配線部分4、5は銅が用いられている。更に、低誘電率層3からなり、低誘電率層3は、ヒューズ部分11に接合している。銅の酸化時に低誘電率層の別姓が変化しない。銅の酸化は速やかに深層まで進み、溶断よりも低温で酸化が可能であり、低誘電率層を破壊しない。



【特許請求の範囲】

【請求項1】多層配線部分と、

前記多層配線部分の間に介設されるヒューズ部分とからなり、

前記ヒューズ部分は酸化を受けて高抵抗化する銅が用いられている半導体装置。

【請求項2】請求項1において、

前記多層配線部分は銅が用いられていることを特徴とする半導体装置。

【請求項3】請求項1において、

更に、低誘電率層からなり、前記低誘電率層は、前記ヒューズ部分に接合していることを特徴とする半導体装置。

【請求項4】シリコン基板の上面側に多層配線部分を形成すること、

前記シリコン基板の上面側に多層配線部分を接続するヒューズ部分を形成すること、

前記ヒューズ部分を酸化させて高抵抗化することとからなる半導体装置の製造方法。

【請求項5】請求項4において、

前記多層配線部分を形成することと前記ヒューズ部分を形成することとは同時的であることを特徴とする半導体装置の製造方法。

【請求項6】請求項4において、

前記酸化は、酸素雰囲気中で前記ヒューズ部分を局所的に昇温化することであることを特徴とする半導体装置の製造方法。

【請求項7】請求項6において、

前記酸化は、前記ヒューズ部分の局所的部位にレーザーを照射することであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び半導体装置の製造方法に関し、特に、冗長部分を備えるDRAMであるメモリのヒューズが高抵抗化される閥半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】

【0003】X、Yデコーダで形成されるDRAMには、その一部分のメモリセルに異常がある場合に、その異常があるメモリセルを含むX列又はY行に代えて用いる冗長メモリと呼ばれる予備メモリを有している。例えば、あるX列のメモリに以上がある場合、その異常があるX列の代わりに冗長メモリを用いるように回路を形成配線中に設けたヒューズを切断して回路動作を変更する。

【0004】このようなヒューズの切断のための技術として、レーザー溶断、レジストを用いる選択エッチングが知られている。塗布工程、露光工程、現像工程のよう

な複数の工程が必要不可欠である選択エッチングは、そのプロセスコストが高くなる。

【0005】配線材料として用いる低融点のAlをレーザー溶断する時、集光されるレーザービームにより切断される局所的部位が高温化する。ヒューズが低誘電率膜の表面に形成されている場合、このような局所的高温化は、その部位の低誘電率膜を劣化させてしまう。Alの融点である660度Cは、低誘電率膜の通常の耐熱温度である400度Cよりも高い。

【0006】局所的部位の処理に好都合であるレーザーを用いて、低誘電率膜を劣化させないようにするアイデアが、特開昭60-84835号で知られている。このアイデアは、酸化雰囲気中でAl製ヒューズをレーザーで加熱し、そのヒューズを溶断しないで酸化させてAlをアルミナに変えてその部位を高抵抗化することにより、断線効果と実質的に同等の効果を得ようとする技術である。

【0007】Alが酸化してアルミナになると高抵抗化することは確かであるが、そのアルミナ化はそのヒューズのごく表層のみでしか起こらず、そのヒューズ部分の高抵抗化は現実には困難である。無理に高抵抗化しようとすればそのヒューズに接合する層の物性を変化させてしまう。公知のこのようなアイデアは、非現実的である。

【0008】

【発明が解決しようとする課題】本発明の課題は、Alに代えてCuを用いることにより、公知のアイデアを実現することができる半導体装置及び半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】その課題を解決するための手段が、下記のように表現される。その表現中の請求項対応の技術的事項には、括弧（ ）つきで、番号、記号等が添記されている。その番号、記号等は、請求項対応の技術的事項と実施の複数・形態のうちの少なくとも1つの形態の技術的事項との一致・対応関係を明白にしているが、その請求項対応の技術的事項が実施の形態の技術的事項に限定されることを示すためのものではない。

【0010】本発明による半導体装置は、多層配線部分（4、5）と、多層配線部分（4、5）の間に介設されるヒューズ部分（11）とからなり、ヒューズ部分（11）は酸化を受けて高抵抗化する銅が用いられている。銅は低温で酸化して、銅の酸化は他の層の物性を変化させない。

【0011】多層配線部分（4、5）は銅が用いられている。更に、低誘電率層（3）からなり、低誘電率層（3）は、ヒューズ部分（11）に接合している。銅の酸化時に低誘電率層の物性が変化しない。

【0012】本発明による半導体装置の製造方法は、シリコン基板（1）の上面側に多層配線部分（4、5）を

形成するための配線形成ステップと、シリコン基板

(1)の上面側に多層配線部分(4, 5)を接続するヒューズ部分(11)を形成するためのヒューズ形成ステップと、ヒューズ部分(11)を酸化させて高抵抗化するための酸化ステップとからなる。

【0013】その配線形成ステップとそのヒューズ形成ステップは同時的であることが好ましい。その酸化ステップは、酸素雰囲気中でヒューズ部分(11)を局所的に高温(昇温)化するステップである。その酸化ステップは、ヒューズ部分(11)の局所的部位にレーザーを照射するためのステップである。配線部分(4, 5)とヒューズ部分(11)の同時的形成のステップが単一化され得る。

【0014】

【発明の実施の形態】図に一致対応して、本発明による半導体装置の実施の形態は、冗長部分を備えるDRAMとして提供されている。図1に示されるように、そのDRAMには、シリコン基板1上に配線構造2が形成されている。シリコン基板1の上面側に低誘電率膜3が形成されている。低誘電率膜3の上面側に、既述の配線構造2が形成されている。配線構造2は、多層配線部分4, 5とヒューズ部分11とから形成されている。

【0015】多層配線部分4, 5の間の領域で、図1, 2に示されるように、低誘電率膜3は、カバー7により被覆されている。多層配線部分4, 5の間の領域で、低誘電率膜3とカバー7にレーザー通し穴8が形成されている。ヒューズ部分11は低誘電率膜3とレーザー通し穴8の中に埋め込まれている。レーザー通し穴8は、ヒューズ部分11に届いている。配線部分4と配線部分5は、接続線12, 13により接続されている。

【0016】図2, 3に示されるように、ヒューズ部分11と同じ高さ位置でヒューズ部分11と平行に他の配

低誘電率膜	比誘電率
SiO ₂	4
SiOF	3.5~3.8
α-C:F	2.3~2.5
parylene	2.3~2.7
HSQ	2.8~3.5
有機SOG	3.0~3.5

SiOF:フッ素含有酸化シリコン、α-C:F:フッ素含有アモルファスカーボン、parylene:ポリパラチシリレン、HSQ:水素化シルセスチオキサン。

【0021】銅の融点は1083度Cであり、銅のヒューズを溶断すると、表中の低誘電率膜はその物性を喪失する。本発明による方法によれば、300度Cの酸化により表中の低誘電率の物質の物性を維持することができる。更に、ヒューズ部分以外の配線にも銅を用いることにより、ヒューズ部分と配線部分とを同時に形成することができ、且つ、配線間抵抗を減少させることができる。

線である連続配線14が低誘電率膜3中に形成されている。連続配線14には、図に現れる範囲ではヒューズは介設されていない。連続配線14とヒューズ部分11とは、同じステップで同時に形成することができる。

【0017】図3, 4, 5は、本発明による半導体装置の製造方法の実施の形態を示している。図3に示されるように、レーザー通し穴8に通されるレーザービーム15(波長は5000オングストローム程度)が0.5ミクロン径程度に集光されて、ヒューズ部分11に照射される。このような照射は、ヒューズ部分11が酸素に触れる酸素雰囲気中で行われる。ヒューズ部分11は、銅・Cuで形成されている。銅の酸化は、表面のみがアルミナ化して深層まで酸化が進まないAlの酸化と異なる。酸化した酸化銅16は、図4, 5に示されるように、膨らんで多孔性物質に変わり、更に酸素に触れて、深層まで酸化が速やかに進行する物性を有している。

【0018】図6は、あるパルス幅のレーザーを1気圧の酸素雰囲気中で銅層の表面に照射した時のデータを示し、横軸は温度を示し縦軸は酸化膜厚を示している。温度が150度Cを越えたあたりから酸化膜厚が温度上昇にしたがって増加し、温度が200度Cを越えると、酸化膜厚は急激に増大する。図7は、その時の抵抗値の変化を示している。温度が200度Cを越えると、抵抗値は発散的に増大する。

【0019】このように銅はAlと異なり、低い温度で深層まで速やかに酸化して急激にその抵抗値が増大する。このように酸化した酸化銅16は、図4, 5に示されるように、溶断せず400度C以内に保持され、レーザーに直射されない低誘電率膜3はその劣化が防止されている。

【0020】下表は、低誘電率膜の比誘電率、耐熱性を示している。

耐熱性
700度C以上
700度C以上
400度C
350度C
400度C
650度C

【0022】

【発明の効果】本発明による半導体装置及び半導体装置の製造方法は、ヒューズの低抵抗化処理でヒューズに連接する他の層の物性を変化させないため、配線間容量の増加を防止することができる。配線にも銅を用いれば、配線とヒューズを同時に形成することができ、配線間抵抗を減少させることができ、大容量・高速化のメモリーを提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明による半導体装置の実施の形態を示す断面図である。

【図2】図2は、図1の平面図である。

【図3】図3は、本発明による半導体装置の製造方法の実施の形態を示す断面図である。

【図4】図4は、本発明による半導体装置の製造方法の実施の他の形態を示す断面図である。

【図5】図5は、図4の側面断面図である。

【図6】図6は、実験データを示すグラフである。

【図7】図7は、他の実験データを示すグラフである。

【符号の説明】

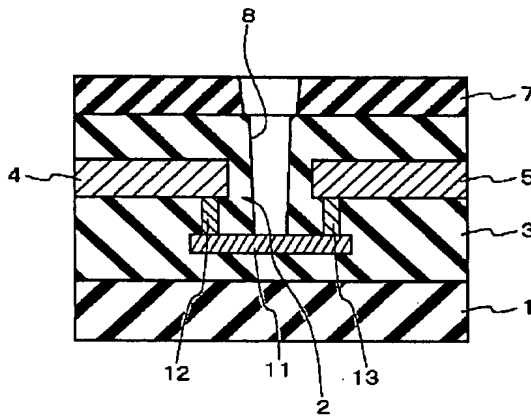
1…シリコン基板

3…低誘電率層

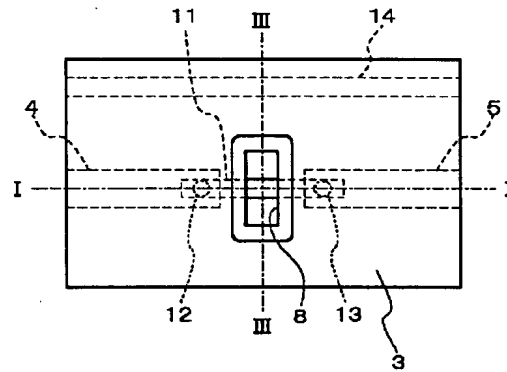
4, 5…多層配線部分

11ヒューズ部分

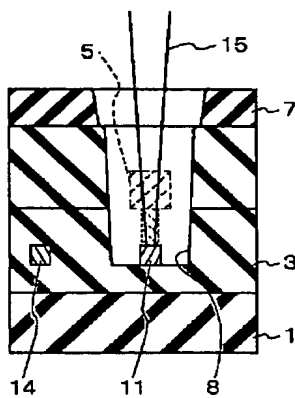
【図1】



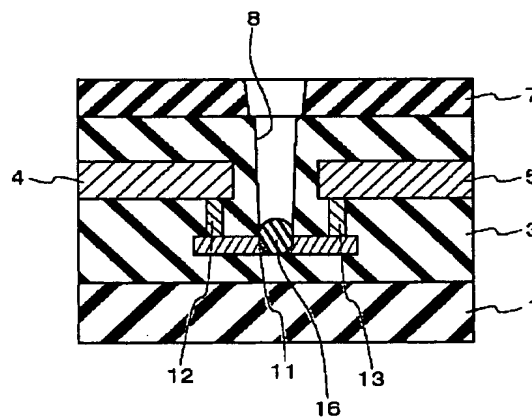
【図2】



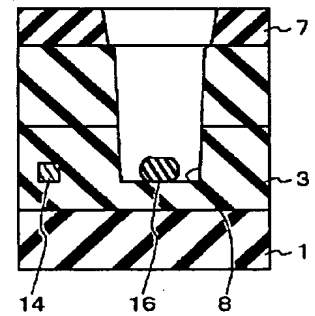
【図3】



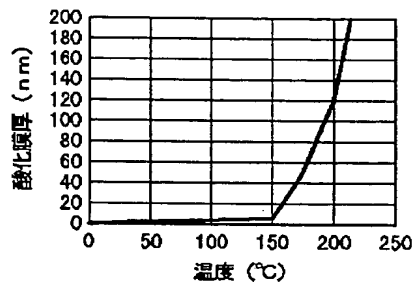
【図4】



【図5】



【図6】



【図7】

